

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162230

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H03B 5/08  
H01L 27/118  
H03K 19/173

(21)Application number : 05-306786

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 07.12.1993

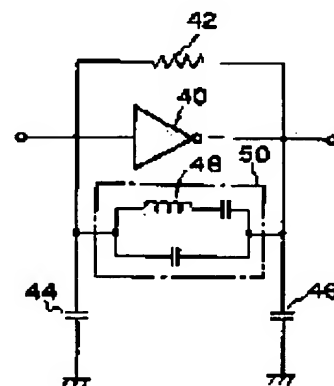
(72)Inventor : HASUMI YUICHI

## (54) OSCILLATION CIRCUIT FOR GATE ARRAY SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To obtain an oscillation circuit which can oscillate at a high frequency by forming an LC circuit on the gate array semiconductor integrated circuit.

**CONSTITUTION:** A resonance circuit 50 is provided between the output terminal and input terminal of an inverter circuit 40 and a coil 48 is included in this resonance circuit. The coil 48 consists of gate electrodes of plural basic cells of the gate array type semiconductor integrated circuit. Namely, the adjacent gate electrodes which are arrayed in parallel and constituted are connected by slanting wiring. Consequently, the coil can be constituted only in a semiconductor process. Therefore, the LC oscillation circuit can be realized by using only circuits on the gate array semiconductor integrated circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-162230

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B 5/08	Z	8943-5 J		
H 0 1 L 27/118				
H 0 3 K 19/173		9383-5 J		
		8832-4 M	H 0 1 L 21/ 82	M
審査請求 未請求 請求項の数 2 O L (全 5 頁)				

(21) 出願番号 特願平5-306786

(22) 出願日 平成5年(1993)12月7日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 逆見 裕一

東京都千代田区内幸町2-2-3 日比谷

国際ビル 川崎製鉄株式会社東京本社内

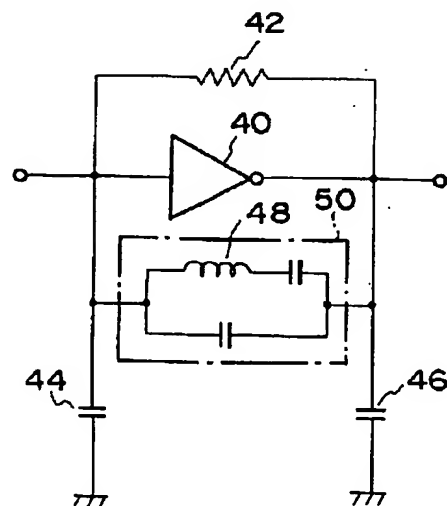
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 ゲートアレイ半導体集積回路用発振回路

(57) 【要約】 (修正有)

【目的】 ゲートアレイ半導体集積回路上でLC回路を実現し、高周波を発振することが可能な発振回路を提供する。

【構成】 インバータ回路40の出力端子と入力端子との間には共振回路50が設けられており、この共振回路にはコイル48が含まれている。コイル48は、ゲートアレイ型半導体集積回路の複数の基本セルのゲート電極により構成される。すなわち、平行に整列され、構成されている複数のゲート電極を隣り同志斜め配線によって接続構成する。これによって、半導体プロセスのみによってコイルを構成することが可能となる。その結果、ゲートアレイ半導体集積回路上の回路のみでLC発振回路を実現することが可能となる。



## 【特許請求の範囲】

## 【請求項 1】 インバータ回路と、

前記インバータ回路の出力信号を、前記インバータ回路の入力端にフィードバックするフィードバック回路であって、インダクタンスとキャパシタンスとを含む共振回路と、

を備えた発振回路において、前記インダクタンスは、ゲートアレイ半導体集積回路を構成する基本セルに含まれるトランジスタのゲート電極群であって、短冊状の電極が平行に配列されているゲート電極群と、

前記ゲート電極群の隣接する各ゲート電極を接続する複数の配線であって、前記各短冊状のゲート電極の前記隣接する他のゲート電極が存在するほうこうとは直角な方向の一方向側の端と、その隣接する他のゲート電極における前記一方向とは反対方向の端とを接続する斜め配線群と、

を含むことを特徴とするゲートアレイ半導体集積回路用発振回路。

【請求項 2】 請求項 1 記載のゲートアレイ半導体集積回路用発振回路において、

前記インダクタンスの芯部に高透磁率材を設けたことを特徴とするゲートアレイ半導体集積回路用発振回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ゲートアレイ半導体集積回路における発振回路の構成に関する。

## 【0002】

【従来の技術】 従来、半導体集積回路上で発振回路を構成するためには、専用の特殊な回路が必要であった。

【0003】 所定個数のトランジスタを含む基本セルが敷き詰められ、設計情報に基づいて配線層を設けることによって、所望の回路を構成するゲートアレイ半導体集積回路が広く用いられている。そして、このゲートアレイ半導体集積回路における発振回路が例えば特開平 2-307267 号公報に記載されている。

【0004】 この公報に記載されている発振回路の回路図が図 4 に示されている。図 4 に示されているように、インバータ回路 10 の出力端子と入力端子との間に抵抗 12 が設けられている。そして、インバータ回路 10 の入力端子と接地との間にコンデンサ 14 が設けられ、インバータ回路 10 の出力端子と接地との間にコンデンサ 16 が設けられている。このような回路構成により、抵抗 12 と、コンデンサ 14、16 とによって決まる発振周波数で発振が行われる。なお、インバータ回路 10 の出力端子と入力端子との間に外付け水晶振動子を接続すれば水晶発振回路が構成される。

【0005】 同公報には、図 4 に示されているような発振回路がゲートアレイ半導体集積回路上でどのように構成されるかについて詳細に述べられている。インバータ回路 10 の詳細な回路図が図 5 に示されている。図 5 に

示されているように、インバータ回路は、PMOS 型トランジスタ 18 と、NMOS 型トランジスタ 20 とが電源 VCC と接地の間に直列に接続され、いわゆる CMOS 型の構造をなしている。すなわち、PMOS 型トランジスタ 18 のゲート端子と、NMOS 型トランジスタ 20 のゲート端子とは共通に接続され、入力端子をなしている。また、PMOS 型トランジスタ 18 のドレイン端子と、NMOS 型トランジスタ 20 のソース端子とは共通に接続され、このインバータ回路 10 の出力端子をなしている。

【0006】 図 6 には、コンデンサ 14、16 を構成する手法を説明する説明図である。図 6 に示されているように、ゲートアレイ半導体集積回路においては多数の基本セル 22 が設けられており、各基本セル 22 には複数のトランジスタが通常含まれている。例えば、6 で示されているように、ゲート電極 24 には、P ウエル 26 と、N ウエル 28 とにまたがって設けられている。上記公報によれば、このゲート電極 24 を複数個接続し、コンデンサ 14、16 の一方端子とすることが可能である。すなわち、ゲート電極 24 と、基板との間における静電容量を利用したものであり、このコンデンサの一方端子はゲート電極 24 から取り出されて、他方の端子は必ず接地となる。図 4 に示されているように、コンデンサ 14、16 は共に一方の端子が接地されているため、図 6 のような構成でコンデンサ 14、16 を実現することが可能となる。

【0007】 図 7 には、抵抗 12 の構成を表す説明図が示されている。図 6 に示されているように、ゲートアレイ半導体集積回路は、細長いゲート電極 24 が多数設けられており、このゲート電極 24 は通常ポリシリコンを用いて形成されている場合が多い。そこで、この細長いゲート電極 24 を複数個ジグザグに接続することにより、一定の抵抗値を形成することが可能である。このように、ゲート電極 24 をジグザグに直列に接続することにより、インダクタンスを増加させることなく所定の抵抗値を得ることが可能となる。

【0008】 なお、図 6 及び図 7 において、×印はコンタクトホールを表し、そのコンタクトホールから伸びている線はいわゆる配線層によって形成されている配線である。

【0009】 このようにして、従来においては、インバータ回路 10 と、RC を用いたフィードバック回路を用いて、いわゆる RC 発振回路が形成されていた。

## 【0010】

【発明が解決しようとする課題】 ところが、RC 発振回路においては、10Hz ~ 1MHz の低周波を発振することができるが、数 MHz 以上の高周波の発振を行うことはできなかった。このことが、例えば「アナログ電子回路」、藤井信生、昭晃堂、183 頁等に記載されている。この 183 頁には、「RC 発振器では、高抵抗を使

用することにより容易に低周波の発振を行うことができ、 $10\text{Hz} \sim 1\text{MHz}$ 程度の正弦波を得ることができる。高周波では容易にコイルにより特性の良いインダクタンスを実現できるため、発振回路には「LCが使用される」旨記載されている。

【0011】従って、従来のゲートアレイ集積回路上に設けられた発振回路では、高周波の発振は困難であった。

【0012】本発明は、上記課題に鑑みなされたものであり、その目的は、ゲートアレイ半導体集積回路上にコイルを形成することによりインダクタンスを構成し、これによって、LC発振回路を提供することである。

【0013】

【課題を解決するための手段】第一の本発明は、上記課題を解決するために、インバータ回路と、前記インバータ回路の出力信号を、前記インバータ回路の入力端にフィードバックするフィードバック回路であって、インダクタンスとキャパシタンスとを含む共振回路と、を備えた発振回路において、前記インダクタンスは、ゲートアレイ半導体集積回路を構成する基本セルに含まれるトランジスタのゲート電極群であって、短冊状の電極が平行に配列されているゲート電極群と、前記ゲート電極群の隣接する各ゲート電極を接続する複数の配線であって、前記各短冊状のゲート電極の前記隣接する他のゲート電極が存在するほうこうとは直角な方向の一方向側の端と、その隣接する他のゲート電極における前記一方向とは反対方向の端とを接続する斜め配線群と、を含むことを特徴とするゲートアレイ半導体集積回路用発振回路である。

【0014】第二の本発明は、上記課題を解決するために、上記第一のゲートアレイ半導体集積回路用発振回路において、前記インダクタンスの芯部に高透磁率材を設けたことを特徴とするゲートアレイ半導体集積回路用発振回路である。

【0015】

【作用】第一の本発明におけるインダクタンスは、ゲートアレイ半導体集積回路におけるゲート電極群と、所定の斜め配線群とによって構成されている。従って、ゲートアレイ半導体集積回路上で容易にインダクタンスを構成することができ、その結果、LC発振回路が実現される。

【0016】第二の本発明におけるインダクタンスは、その芯部に高透磁率材が設けられている。従って、同一の大きさのコイルであって、より大きな値のインダクタンスが実現できる。

【0017】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。

【0018】図1は、本発明の好適な実施例である発振回路を表す回路図である。図1に示されているように、

本実施例においてもインバータ回路40と、インバータ回路40の出力端子と入力端子とを結ぶ所定のフィードバック回路とから構成されている。このフィードバック回路は、従来と同様に、出力端子と入力端子とを結ぶ抵抗42を含んでいる。また、このフィードバック回路は、入力端子と接地とを結ぶコンデンサ44と、出力端子と接地とを結ぶコンデンサ46とを含んでいる。

【0019】本実施例において特徴的なことは、出力端子と入力端子との間に、インダクタンス48を含む共振回路50が設けられていることである。この共振回路50が設けられていることにより、高い周波数の発振が可能となるのである。

【0020】本実施例におけるコイル48の構成について説明する。図2は、コイル48がゲートアレイ半導体集積回路上でどのように構成されているかを説明する説明図である。図2において示されているように、コイル48は4つのセル52を用いて構成されている。本実施例において特徴的なことは、図2に示されているように、ゲート電極54が、斜め方向の配線56によってそれぞれ隣接するゲート電極と接続されていることである。この斜め配線56を構成する配線層は、絶縁膜を介して、ゲート電極54の上に設けられるので、いわゆるソレノイド型のコイルがゲートアレイ半導体集積回路上に形成されることになる。

【0021】コイル48の断面図が図3に示されている。図3に示されているように、ポリシリコンのゲート電極54の上面には、アルミニウム第一層(A11)及び第二層(A12)とが設けられている様子が示されている。更に、図3には、このゲート電極54と、アルミニウム第二層との間に高透磁率材コア58が設けられている様子も示されている。図3に示されているように、ポリシリコンによるゲート電極54の上には、まず絶縁膜が設けられる。そしてこの絶縁膜の上からアルミニウム第一層(A11)が設けられ、かつ高透磁率材コア58が形成される。アルミニウム第一層(A11)は、図3に示されているように、絶縁膜に適宜設けられているコンタクトホールによって上述したゲート電極54と接続されている。なお、高透磁率材コア58は、フェロニッケル等の材料を、スパッタ等の手法によって絶縁膜上に堆積させることにより形成されている。そして、最後に、また絶縁膜を被せた後に、アルミニウム第二層(A12)を形成することにより、高透磁率材コア58を中心として、ゲート電極54及びアルミニウム第一層(A11)及び第二層(A12)によるコイル48が完成する。

【0022】本実施例において特徴的なことは、このように半導体プロセスによって磁芯を含んだコイルを形成したことである。そしてこのコイル48を用いて、本実施例における発振回路の共振回路50が形成されている。このように、本実施例においては、ゲートアレイ半

導体集積回路上に半導体プロセスによってのみコイルを形成したので、容易にLC型発振回路を構成することが可能となった。

【0023】従って、本実施例によればゲートアレイ半導体集積回路上の回路のみをもってLC発振回路を構成し、数十MHz程度の高周波を発振することが可能な発振回路が得られる。なお、本実施例における抵抗42や、コンデンサ44、46は従来の手法を用いて構成される。

【0024】

【発明の効果】以上述べたように、第1の本発明によれば、半導体プロセスでコイルを形成することが可能なため、ゲートアレイ半導体集積回路上でLC発振回路が実現できる。従って、第一の本発明によれば何ら外付の部品を必要とせず高周波を発振することが可能となる。

【0025】第二の本発明によれば、半導体プロセスのみを用いて磁芯を有するコイルをゲートアレイ半導体集積回路上に設けることが可能となった。従って、コイルの大きさを小さくすることができ、より小型の発振回路

を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の好適な実施例に係るLC発振回路の回路図である。

【図2】コイル48の構成を表す説明図である。

【図3】コイル48の構成を表す断面図である。

【図4】従来の発振回路の回路図である。

【図5】従来の発振回路におけるインバータ回路10の回路図である。

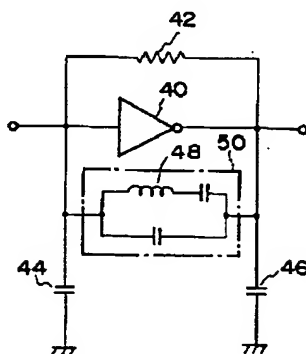
【図6】従来の発振回路のコンデンサ14、16を構成する手法を表す説明図である。

【図7】従来の発振回路の抵抗12の構成手法を表す説明図である。

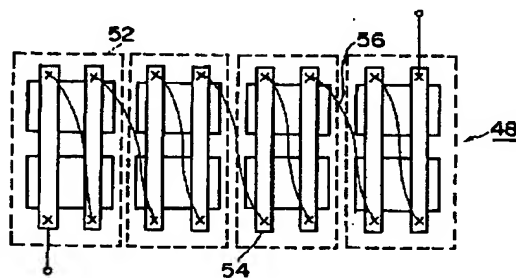
【符号の説明】

- 40 インバータ回路
- 42 抵抗
- 44、46 コンデンサ
- 48 コイル
- 50 共振回路

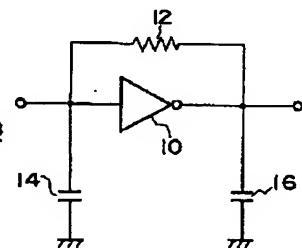
【図1】



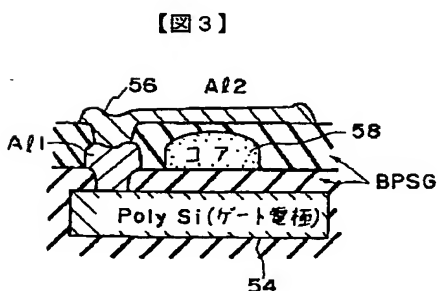
【図2】



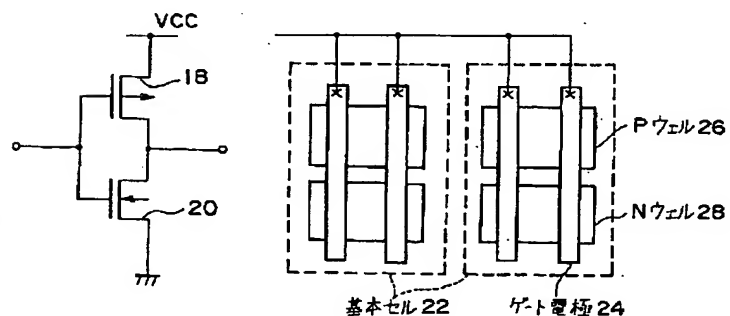
【図4】



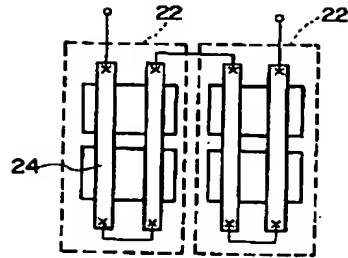
【図3】



【図6】



【図 7】



**THIS PAGE BLANK (USPTO)**